

PAT-NO: JP02002237446A
DOCUMENT-IDENTIFIER: JP 2002237446 A
TITLE: MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE
PUBN-DATE: August 23, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
MOKUKO, KENICHI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP2001034862

APPL-DATE: February 13, 2001

INT-CL (IPC): H01L021/027, G03F009/00

ABSTRACT:

PROBLEM TO BE SOLVED: To secure the alignment accuracy of reduced projection exposure by preventing the number of acquired products from decreasing.

SOLUTION: Firstly, a reticle having a mark is fitted to a reticle stage. On the other hand, a pre-treated wafer is fitted to an XY stage for a fine alignment after a prealignment. A correction value for each kind of error is calculated from a position measurement result relative to a plurality of alignment marks of the wafer. The wafer is intermittently moved by the XY stage, thus performing the reduced projection exposure of an exposure image where an original picture of the reticle having marks has been reduced. Then, a reticle having no mark is fitted to a reticle stage, and an

exposure image
having no mark is subjected to step and repeat exposure at a
plurality of
remaining portions of the wafer. When the exposure is completed, the
wafer is
unloaded. A product is arranged at all chip portions of the reticle
having no
mark for preventing the number of acquired products from decreasing,
thus
securing the minimum alignment mark by the reticle having marks.

COPYRIGHT: (C) 2002, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-237446

(P2002-237446A)

(43)公開日 平成14年8月23日(2002.8.23)

(51)Int.Cl.⁷

識別記号

F I

テマコード*(参考)

H 0 1 L 21/027

G 0 3 F 9/00

H 5 F 0 4 6

G 0 3 F 9/00

H 0 1 L 21/30

5 1 4 B

5 2 0 Z

審査請求 未請求 請求項の数1 O L (全 6 頁)

(21)出願番号 特願2001-34862(P2001-34862)

(22)出願日 平成13年2月13日(2001.2.13)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 金子 賢一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

(74)代理人 100085637

弁理士 梶原 辰也

Fターム(参考) 5F046 AA25 EB10 FC10

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

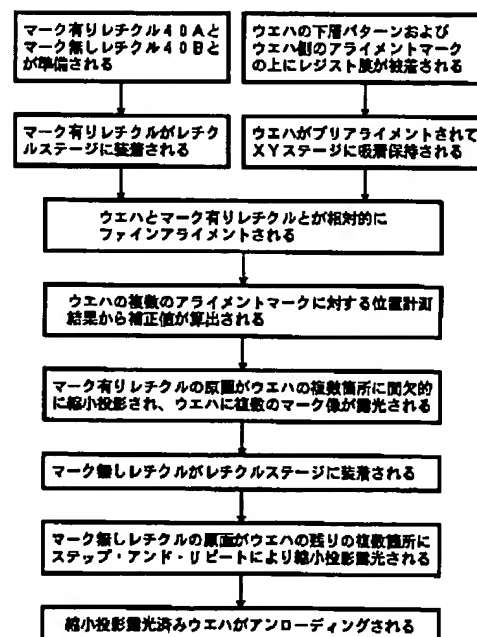
【課題】 製品取得数減を防止し縮小投影露光の位置合わせ精度を確保する。

【解決手段】 まず、マーク有りレチクルがレチクルステージに装着される。他方、前処理されたウエハはブリアライメント後にXYステージに装着されてファインアライメントされる。ウエハの複数のアライメントマークに対する位置計測結果から各種誤差に対する補正値が算出される。ウエハがXYステージにより間欠的に移動されてマーク有りレチクルの原画を縮小した露光像がそれぞれ縮小投影露光される。次いで、マーク無しレチクルがレチクルステージに装着され、マーク無し露光像がウエハの残りの複数箇所にステップ・アンド・リピート露光される。露光が完了すると、ウエハはアンローディングされる。

【効果】 マーク無しレチクルの全チップ部に製品を配することで製品取得数減を防止し、マーク有りレチクルで最小限のアライメントマークを確保する。

【図1】

縮小投影露光工程



【特許請求の範囲】

【請求項1】 アライメントマークを有するレチクルとアライメントマークを有しないレチクルとが使用されて、半導体ウエハの同一層が縮小投影露光されることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法に関し、特に、半導体素子を含む集積回路が形成される半導体ウエハ（以下、ウエハという。）に露光原版であるホトマスクに形成された半導体素子を含む集積回路パターン（以下、回路パターンという。）を転写する露光技術に関する。

【0002】

【従来の技術】半導体装置の製造方法において、ウエハにホトマスクの回路パターンを転写するのにステップ・アンド・リピート方式による縮小投影露光装置（以下、ステッパという。）が、広く使用されている。半導体装置はウエハに互いに関連する複数種類の回路パターンを順次重ね合わせ露光することにより製造されるものであるため、ステッパにおいては拡大ホトマスクであるレチクルと被露光物であるウエハとの位置合わせが、半導体装置の品質および信頼性の維持並びに超微細化を推進するのにきわめて重要になる。

【0003】従来のステッパにおいては、レチクルとウエハとの位置合わせを直接的に実行するのではなく、次のような位置合わせが実行されている。まず、レチクルを予め設定された基準位置に位置合わせする。ウエハに形成された位置合わせマークであるアライメントマークを観察するための光学系（以下、アライメント光学系という。）の基準位置とウエハ側座標系とを合わせる。このアライメント光学系の基準位置からのアライメントマークとの誤差（ずれ）を計測する。計測値を統計処理し、その処理結果によってウエハのX、Y、 Θ の位置を補正し、その後、ステップ・アンド・リピート方式により縮小投影露光する。

【0004】そして、ウエハ一枚当たりの製品取得数を高めるために、従来はアライメントマークがウエハのスクライプラインに配置されている。

【0005】なお、ステッパにおける位置合わせ方法を述べている例としては、特開平3-96219号公報がある。

【0006】

【発明が解決しようとする課題】半導体集積回路の微細化や半導体チップの大形化および製品取得数の増加の要求等に伴って、ウエハにおけるスクライプラインの幅が狭くなって来ており、アライメントマークをスクライプライン内に配置することが困難になることが予想されている。そこで、アライメントマークをウエハのチップ部に配置することが考えられる

【0007】しかしながら、アライメントマークをウエハのチップ内に配置すると、アライメントマークを配置したチップ部の数の分だけ製品取得数が減少してしまう。

【0008】本発明の目的は、製品取得数の減少を抑制しつつ縮小投影露光時の位置合わせ精度を確保することができる半導体装置の製造方法を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、次の通りである。

【0011】すなわち、アライメントマークを有するレチクルとアライメントマークを有しないレチクルとが使用されて、半導体ウエハの同一層が縮小投影露光されることを特徴とする。

【0012】前記した手段によれば、アライメントマークを有しないレチクルのチップ部には回路パターンを配置することができるため、その分、製品の取得数の減少を抑制することができる。他方、アライメントマークを有するレチクルによって半導体ウエハには最小限必要なアライメントマーク数を確保することができるため、縮小投影露光時の所定の位置合わせ精度を維持することができる。

【0013】

【発明の実施の形態】図1は本発明の一実施の形態である半導体装置の製造方法における縮小投影露光工程を示す工程図である。図2はそれに使用されるステッパを示す斜視図である。図3はそれに使用されるレチクルを示す各平面図であり、(a)はアライメントマークを有するレチクルを示し、(b)はアライメントマークを有しないレチクルを示している。図4以降は作用を説明するための各説明図である。

【0014】本実施の形態に係る半導体装置の製造方法は、レチクルに描画された回路パターンをウエハに被着されたレジスト膜に露光させる縮小投影露光工程を備えており、この縮小投影露光工程はステッパが使用されて実施される。まず、縮小投影露光工程の実施に使用されるステッパ10を図2について説明する。

【0015】図2に示されているように、回路パターンの原画が描画されたレチクル40はレチクルステージ14に保持される。縮小投影露光工程においてはレチクル40の原画がステッパ10の縮小投影レンズ15を介してウエハ1に被着されたレジスト膜に縮小投影露光される。縮小投影レンズ15はウエハ側はテレセントリック系になるように構成されている。ウエハ1はカセット16からローディングテーブル17の上に自動搬送され、プリアライメント装置18によって粗位置決めが行われ

た後に、移送アーム11によってXYステージ12上のチャック13に真空吸着される。

【0016】一方、レチクル40はレチクルアライメント光学系20によって縮小投影レンズ15の中心にその中心が一致するように位置決めされる。このステップにおいては、レチクル40とウエハ1との位置決めのために、スルーザレンズ方式の位置検出X系21および位置検出Y系22が装備されている。両検出系21、22には照明光学装置およびハーフミラー24が設置されており、照明光学装置はレジストが感光しない波長の光をハーフミラー24を透過して後記するアライメントマークに照射するように構成されている。ハーフミラー24は照明光学装置の照明光を透過するとともに、アライメントマークからの正反射像を位置検出X系21および位置検出Y系22に反射するように構成されている。位置検出X系21および位置検出Y系22は、アライメントマークからの正反射像をスリットを走査し光電子増倍管で検出するとともに、レチクル40の窓パターンを検出するように構成されている。

【0017】XYステージ12の外側にはレーザ光31によってウエハ1の位置を測定するレーザ干渉測長計30が設置されており、レーザ干渉測長計30から発光されたレーザ光31は分光器32で二系統に分けられるようになっている。一方のレーザ光31はXYステージ12に取り付けられたX軸用ミラー33に照射される。この照射光はX軸用ミラー33で反射されてレーザ干渉測長計30に戻り、XYステージ12のX座標が検出される。他方のレーザ光31は第一のミラー34と第二のミラー35とを介してXYステージ12に取り付けられたY軸用ミラー36にそれぞれ照射される。Y軸用ミラー36に照射されて反射したレーザ光31は両ミラー34、35および分光器32を通過してレーザ干渉測長計30に至る。これにより、XYステージ12のY座標が検出されることになる。

【0018】XYステージ12はX軸用モータ37によってX軸方向に高精度に移動制御されるとともに、Y軸用モータ38によってY軸方向に高精度に移動制御されるように構成されている。

【0019】作業が終了したチャック13の上のウエハ1は移送アーム11によってアンローディングテーブル25の上に移送される。アンローディングテーブル25の上に移送されたウエハ1はアンローディングテーブル25に構成されたエアベアリング機構等によって回収用カセット26に順次収容される。

【0020】次に、縮小投影露光工程を図3(a)、(b)に示されているレチクルが使用されて実施される場合について説明する。

【0021】本実施の形態に係る縮小投影露光工程には、図3(a)に示されたアライメントマークを有するレチクル(以下、マーク有りレチクルという。)40A

と、図3(b)に示されたアライメントマークを有しないレチクル(以下、マーク無しレチクルという。)40Bとが使用される。図3(a)、(b)に示されているように、マーク有りレチクル40Aおよびマーク無しレチクル40Bはいずれも、石英ガラス等の透明材料が使用されて正方形の平板形状に形成された本体41を備えており、本体41の一主面には九つのチップ部43が狭小のスクライブライン42をとって画成されている。各チップ部43には半導体装置を製作するための回路パターン44がそれぞれ形成されている。

【0022】そして、図3(a)に示されたマーク有りレチクル40Aにおいては、九つのチップ部43のうち中央の位置のチップ部43Aには回路パターン44の代わりにアライメントマーク45が形成されている。但し、アライメントマーク45が形成されるチップ部(以下、マーク有りチップ部という。)43Aの配置の指定場所には、特に限定はない。また、図3(a)に示されたアライメントマーク45は正方形の枠形状に形成されているが、形状には特に限定はなく十字等形成してもよい。ちなみに、アライメントマーク45は回路パターン44と同様に、本体41の一主面に被着されたクロム被膜等の非透光膜(図示せず)がリソグラフィ処理およびエッチング処理によって選択的にパターンニングされることにより形成される。

【0023】図1に示されているように、縮小投影露光工程がステップ10によって実施されるに際して、まず、マーク有りレチクル40Aがレチクルステージ14に光軸を一致させて位置決めされた状態に装着される。

【0024】他方、縮小投影露光工程の前処理工程で下層パターンおよびウエハ側マーク(例えば、基準マーク)の上にレジスト膜が被着されたウエハ1は、ステップ10のプリアライメント装置18によってウエハ1内の二点のアライメントマークを用いられ、XY方向および回転方向の粗位置合わせ(プリアライメント)を実施される。この際、このステップ10の場合には、XYステージ12の上に回転機構がないため、プリアライメント装置18の上に回転誤差が最小になるように位置決めされる。プリアライメントされたウエハ1は移送アーム11によってチャック13の上に移送される。

【0025】チャック13の上に搬送吸着されたウエハ1はウエハ1内の複数のアライメントマークを用いられてファインアライメントを実行される。

【0026】レチクルアライメント光学系20やレーザ干渉測長計30およびXYステージ12の駆動系37、38が使用された複数のアライメントマークに対する位置計測結果から、ウエハ1における回転やXY方向のオフセット、XY方向の伸縮等の成分に対する統計処理によってウエハの伸縮誤差、回転誤差、倍率誤差等の各種の誤差が算出され、これらの誤差に対する補正値が算出される。

【0027】ウエハ1がXYステージ12により予め指定された複数箇所（図示例では五箇所）に間欠的に移動されることにより、図4に示されているように、マーク有りレチクル40Aの原画を縮小した露光像46Aがそれぞれ縮小投影露光される。この縮小投影露光により、ウエハ1にはアライメントマーク45の露光像（以下、マーク像という。）45Aがマーク有りレチクル40Aの原画の露光像（以下、マーク有り露光像という。）46Aを露光すべきことを予め指定された複数箇所（図示例では五箇所）だけに形成されることになる。

【0028】次いで、マーク無しレチクル40Bがレチクルステージ14に装着され、図5に示されているように、マーク無しレチクル40Bの原画を縮小した露光像（以下、マーク無し露光像という。）46Bがウエハ1の予め指定された残りの複数箇所に、ステップ・アンド・リピート方式の移動によって次々に露光されて行く。この際、マーク有り露光像46Aが既に露光された場所（五箇所）には、マーク無し露光像46Bは露光されない。すなわち、マーク無しレチクル40Bについてのステップ・アンド・リピート方式の縮小投影露光はマーク有り露光像46Aが既に露光された場所を飛ばして実行される。この飛ばし作動により、マーク有り露光像46Aとマーク無し露光像46Bとの二重露光が回避される。つまり、マーク像45Aはウエハ1において五箇所だけに露光されることになり、ウエハ1において製品と

ならないチップ部43は五個だけになる。

【0029】ちなみに、マーク有りレチクル40Aおよびマーク無しレチクル40Bのウエハ1に対するステップ・アンド・リピート方式の移動は、前述したように算出された補正值をもって制御される。

【0030】以上のようにしてステップ・アンド・リピート方式による露光が全ての指定箇所について完了すると、ウエハ1は移送アーム11によってアンローディングテーブル25の上に移送され、回収用カセット26に収納される。

【0031】ところで、本実施の形態においては、ウエハ1の同一の露光層に対する縮小投影露光がマーク有りレチクル40Aとマーク無しレチクル40Bとによって二回実行されるため、マーク有りレチクル40Aおよびマーク無しレチクル40Bのスクライブライン42等のチップ部以外の場所に層間確認用アライメントマークをそれぞれ設けておくことにより、層間合わせ検査に際して、図6に示されているように、マーク有りレチクルおよびマーク無しレチクルの基準層に対するアライメント精度の確認を実行することが望ましい。

【0032】まず、図6(a)に示されているように、マーク有りレチクル40Aのスクライブライン等に設けられた層間確認用アライメントマーク50Aが、ウエハ1のスクライブライン等に形成された基準マーク50に対して重ね合わされる。

【0033】次いで、図6(b)に示されているように、マーク無しレチクル40Bのスクライブライン等に設けられた層間確認用アライメントマーク50Bが、ウエハ1の基準マーク50とマーク有りレチクルの層間確認用アライメントマーク50Aと重ね合わされる。

【0034】そして、図6(b)に示されているように、前述したマーク有りレチクル40Aとマーク無しレチクル40Bとによる縮小投影露光の実施後のウエハの層間合わせ検査に際して、ウエハ1の上において、基準マーク50とマーク有りレチクルの層間確認用アライメントマーク50Aとマーク無しレチクルの層間確認用アライメントマーク50Bとが重なり合っていることを検証することにより、層間合わせが適正であるか否かが判定される。

【0035】前記実施の形態によれば、次の効果が得られる。

【0036】1) マーク有りレチクルとマーク無しレチクルとを使用して、ウエハの同一の露光層に縮小投影露光することにより、マーク無しレチクルのチップ部には回路パターンを配置することができると、その分、製品の取得数の減少を抑制することができる。

【0037】2) 他方、ウエハには最小限必要なアライメントマークの数をマーク有りレチクルによって確保することができるため、縮小投影露光時の所定の位置合わせ精度を維持することができる。

【0038】3) 前記1)および2)により、縮小投影露光工程においては半導体装置の品質および信頼性を向上しつつ、半導体装置の製造コストを低減することができる。

【0039】以上本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0040】例えば、ステップ・アンド・リピート方式の縮小投影露光方法に使用するに限らず、ステップ・アンド・スキャン方式の縮小投影露光装置が使用された露光方法にも適用することができる。

【0041】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、次の通りである。

【0042】マーク有りレチクルとマーク無しレチクルとを使用して、半導体ウエハの同一の露光層に縮小投影露光することにより、製品取得数の減少を抑制しつつ縮小投影露光時に所定の位置合わせを確保することができる。

【図面の簡単な説明】

【図1】本発明の一実施の形態である半導体装置の製造方法における縮小投影露光工程を示す工程図である。

【図2】それに使用されるステッパを示す斜視図であ

【図3】それに使用されるレチクルを示す各平面図であり、(a)はマーク有りレチクルを示し、(b)はマーク無しレチクルを示している。

【図4】マーク有りレチクルの露光後を示す平面図である。

【図5】マーク無しレチクルの露光後を示す平面図である。

【図6】層間合わせ検査を示す各平面図であり、(a)は層間確認用アライメントマークと基準マークとの重ね合わせを示し、(b)は両方の層間確認用アライメント

10

【符号の説明】

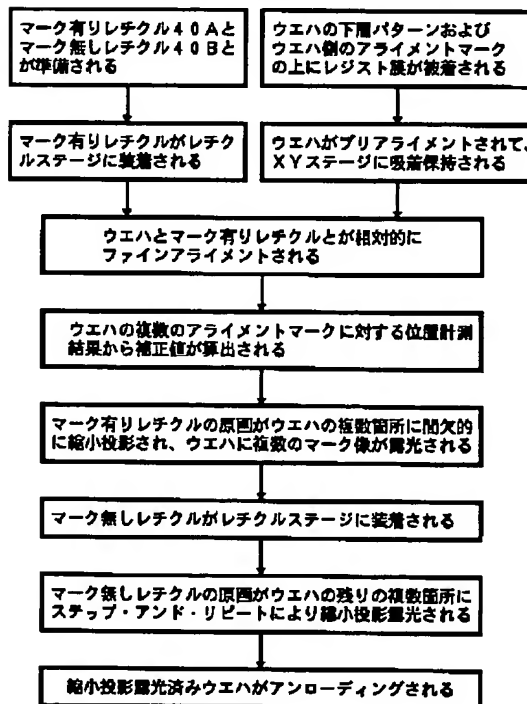
10…ステッパ(縮小投影露光装置)、11…移送アーム、12…XYステージ、13…チャック、14…レチクルステージ、15…縮小投影レンズ、16…カセット、17…ローディングテーブル、18…ブリアライメント装置、20…レチクルアライメント光学系、21…

位置検出X系、22…位置検出Y系、24…ハーフミラー、25…アンローディングテーブル、26…回収用カセット、30…レーザ干渉測長計、31…レーザ光、32…分光器、33…X軸用ミラー、34、35…ミラー、36…Y軸用ミラー、37…X軸用モータ、38…Y軸用モータ、40…レチクル(露光原版)、40A…マーク有りレチクル(アライメントマークを有するレチクル)、40B…マーク無しレチクル(アライメントマークを有しないレチクル)、41…本体、42…スクライプライン、43…チップ部、43A…マーク有りチップ部、44…回路パターン、45…アライメントマーク、45A…マーク像(アライメントマークの露光像)、46A…マーク有り露光像(マーク有りレチクルの原画を縮小した露光像)、46B…マーク無し露光像(マーク無しレチクルの原画を縮小した露光像)、50…基準マーク、50A…層間確認用アライメントマーク、50B…層間確認用アライメントマーク。

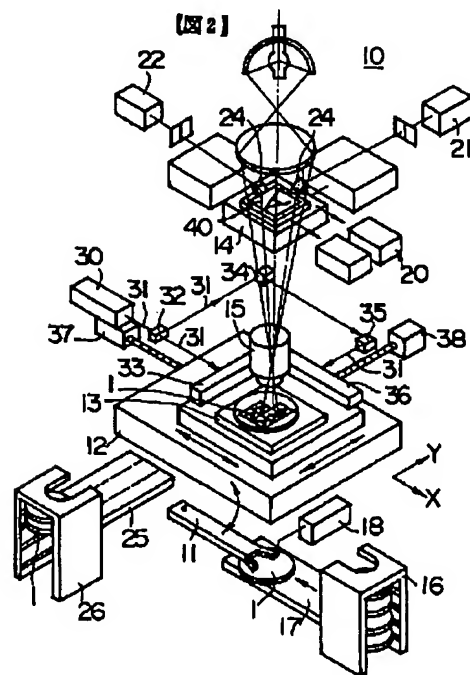
【図1】

【図1】

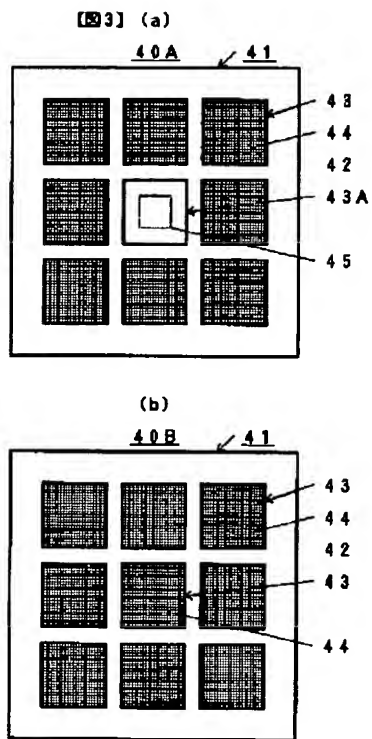
縮小投影露光工程



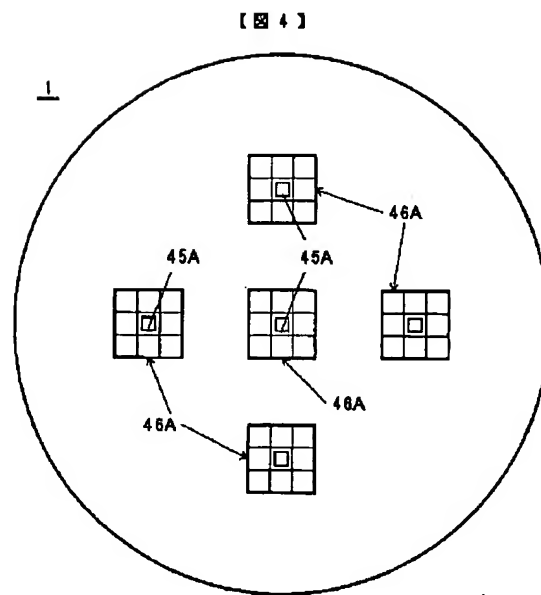
【図2】



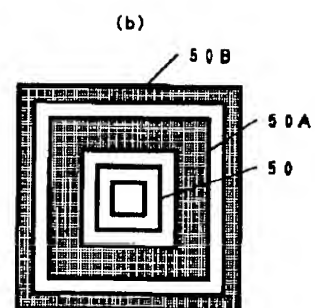
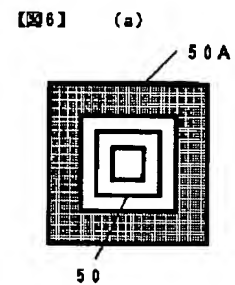
【図3】



【図4】



【図6】



【図5】

